

SystemVerilogクロニクル

第4回　1990年代前半，市場競争とともにシミュレータの性能が飛躍的に向上　明石貴昭

1990年にVerilog HDLの普及推進団体であるOpen Verilog International（OVI）が活動を開始し，IEEE Std. 1364-1995が策定され，ovisimやOpenVerilogツール・キットがリリースされました．ユーザらがVerilog HDL市場を盛り上げ，多くのサード・パーティがツールを出荷しました．1990年代前半に出荷された製品には，米国Chronologic Simulation社の「VCS（Verilog Compiled Simulator）」，米国Frontline Design Automation社の「Baseline/Simline」，米国Fintronic USA社の「FinSim」，米国Simucad社の「Silos III」などがあります．

● 高速なCコンパイルド型が登場

Frontline社は，米国Cadence Design Systems社に旧Gateway Design Automation（GDA）社を売却したPrabhakar Goel氏が投資して始まった会社です．しかし，Goel氏とCadence社の間に「社員を引き抜かない」という約束があったため，開発者に旧GDA社のメンバは含まれていませんでした．Frontline社のシミュレータは当初，Verilog，Verilog-XLと同じように，エンジンごとにBaseline，Simlineと命名されていました．このシミュレータは後に「PureSpeed」と名称を変え，同社が米国Avant!社に買収されて「Polaris」となり，結局，3回も名まえが変わりました（その後Avant!社は米国Synopsys社に買収されたため，現在は販売されていない）．余談ですが，旧Frontline社のCEO（chief exective officer）だったBadru Agarwala氏は現在，米国AXIOM Design Automation社（旧@HDL社）のCEOになっており，「MPSim」という新しいシミュレータを発表しています．

現在Synopsys社が出荷しているVCSの開発は，1991年設立のChronologic社で始まりました．正確にはVCSの開発者であり，創業者でもあるJohn Sanguinetti氏（現在，米国Forte Design Systems社CTO）が米国NeXT Computer社在籍中の1990年にOVI設立の記事を見てVCSの開発を思いつき，プロトタイプを完成させました．Chronologic社はその後に設立されています．

Sanguinetti氏は1986年ごろからVerilog-XLを使用していたようですが，とくに動作/RTL記述モデルの処理速度に不満を持っていたそうです．それ以前に同氏は，一般論として，インタープリタ型シミュレータはコンパイルド型よりも10倍遅いという論文を書いたことがありました．インタープリタ型のVerilog-XLの処理速度を改善できると考えた同氏は，Verilog HDLをCコードにマッピングし，Cコンパイラで最適化を図るCコンパイルド型シミュレータ（VCS）を開発しました．VCSは，動作/RTL記述の処理についてVerilog-XLより2けた速い性能を示しました．

ここからシミュレータの性能競争が始まりました．各社ともゲート・レベルではVerilog-XLのXLエンジンを上回る速度を（1990年代後半まで）達成できませんでした．しかし，Verilog-XLには動作/RTL記述の処理が遅いという泣き所があったのです．各社は次々とCコンパイルド型のシミュレータを開発していきました．

● Cコンパイルド型からネイティブ・コンパイルド型へ

Cadence社のVerilog-XLは，内部に二つのエンジンを持っていました．ゲート・レベルを扱うXLエンジンと，それ以外（動作/RTL記述を含む）を扱うコア・エンジンです．このコアが他社の攻撃目標となったため，同社は新たなエンジンの開発を余儀なくされました．これはTurboエンジンと命名され，「Verilog-XL Turbo」というVerilog-XLの上位製品が誕生しました．このとき，+turbo+［1|2|3］とか，+twin_turboとか，最適化レベルを変更するさまざまなコマンド・ライン・オプションが生まれました．このとき筆者は，Verilog-XLの製品ラインの限界を感じました．

Verilog-XL Turboの基本構造に見切りをつけたCadence社は，1994年ごろから現在の「NC-Sim」が採用しているINCA（Interleaved Native-Compiled Architecture）の開発に着手しました．このアーキテクチャは，同社が米国Seed Solution社を買収して入手した，世界初のネイティブ・コンパイルド型のLeapfrog VHDLシミュレータがベースとなっています．このころ市場では，Verilog HDLとVHDLの混在シミュレーションの需要が高まっていました．INCAは難産で，NC-Verilogは1996年，NC-VHDLは1998年，混在対応のNC-Simが完成したのは1999年でした．

一方，Chronologic社は1994年に米国Viewlogic Systems社に買収され，VCSもネイティブ・コンパイルド型へ進化しました．当時Synopsys社は，言語戦略をVHDLからVerilog HDLに切り替えるにあたって，「Vivace」というVerilog HDLシミュレータをひそかに開発していたようです．しかし1997年にViewlogic社を買収し，VCSを同社の中核製品の一つとしました．

その後Synopsys社は，米国Sun Microelectronics社をスピンアウトした開発者が設立した米国Radiant Technology社を買収し，その技術をVCSのフロントエンドに組み込んで，さらなる最適化を試みました．これがVCSの+rad+［1|2］オプションです．

<著者プロフィール>
明石 貴昭．ケイデンス・デザイン・システムズ入社後，Verilog-XL，NC-Simシミュレータなどを担当．現在，日本シノプシスにて論理検証プラットホームDiscoveryやSystemVerilog関連のしごとに従事している．旧EIAJ（現JEITA）1364-1995プロジェクトに参加し，現在はJEITA/EDA技術専門委員会SystemVerilogタスクグループの副主査として，SystemVerilogの標準化に携わっている．